



SPECIFICATIONS AND FEATURES

DATASHEET

WWW.UNICORECOMM.COM

UFirebird-UC6226

GNSS 定位芯片

Copyright© 2009-2020, Unicore Communications, Inc.
Data subject to change without notice.

目录

1	功能特性.....	1
1.1	概述	1
1.2	特性优势	2
1.3	性能指标	3
1.4	系统框图	4
1.5	卫星导航系统.....	4
1.5.1	GPS	4
1.5.2	GLONASS	5
1.5.3	北斗.....	5
1.5.4	Galileo.....	5
1.6	协议和接口	5
1.6.1	术语、缩略语	5
2	RF 子系统.....	7
2.1	LNA	7
2.2	增益模块	7
2.3	混频器.....	7
2.4	I/Q 低通滤波器.....	7
2.5	PGA.....	7
2.6	ADC.....	8
3	基带子系统.....	9
3.1	接口	9
3.1.1	UART	9
3.1.2	测试接口.....	9
3.2	PIO	10
3.3	看门狗.....	11
3.4	定时器计数器	11
3.5	时钟	11
3.5.1	TCXO.....	11
3.5.2	PLL.....	11
3.5.3	RTC.....	12
3.5.4	时钟源组合	13
3.6	电源管理单元(PMU).....	14
3.6.1	DC/DC 转换器	15
3.7	内存	15
3.7.1	Backup RAM.....	15
3.7.2	系统 RAM.....	16
3.7.3	GNSS RAM.....	16

	3.7.4	捕获 RAM.....	16
	3.7.5	eFuse 内存.....	16
4		工作模式.....	17
	4.1	连续跟踪模式.....	17
	4.2	休眠模式.....	17
5		系统配置.....	18
	5.1	配置通信接口.....	18
	5.2	配置引脚.....	18
	5.3	Boot 模式.....	19
	5.4	系统复位.....	19
	5.5	上电序列.....	20
	5.5.1	DC/DC 供电和时序.....	21
	5.5.2	DC/DC bypass 时供电和时序.....	22
	5.5.3	Backup 区域的上电序列.....	22
6		引脚定义.....	24
	6.1	引脚分布.....	24
	6.1.1	QFN40.....	24
	6.1.2	WLCSP27.....	25
	6.2	引脚说明.....	25
	6.2.1	QFN40 引脚说明.....	25
	6.2.2	WLCSP27 引脚说明.....	27
7		电气特性指标.....	28
	7.1	最大绝对额定值.....	28
	7.2	工作条件.....	29
	7.2.1	直流电气特征.....	30
	7.2.2	模拟参数.....	30
	7.2.3	RF 参数.....	31
	7.2.4	电流消耗.....	32
	7.3	参考性电源要求.....	32
8		机械参数.....	34
	8.1	QFN40.....	34
	8.2	WLCSP27.....	35
9		可靠性测试和认证.....	36
	9.1	可靠性测试.....	36
	9.2	认证.....	36
10		产品外观及包装运输.....	37
	10.1	外观.....	37
	10.2	标识.....	37
	10.3	包装.....	38
11		订单信息.....	39

表目录

表 1-1 UC6226 GNSS 性能	3
表 1-2 术语、缩略语简表	5
表 3-1 PIO 功能及复用情况	10
表 3-2 时钟源组合	13
表 5-1 D_SEL 引脚配置	18
表 6-1 QFN40 电源引脚说明	25
表 6-2 QFN40 模拟引脚说明	25
表 6-3 QFN40 PIO 引脚说明	26
表 7-1 最大绝对额定值	28
表 7-2 工作条件	29
表 7-3 直流电气特征	30
表 7-4 模拟参数	30
表 7-5 RF 参数	31
表 7-6 电流消耗	32
表 7-7 参考性电源要求	33
表 10-1 产品标签具体说明	38

图目录

图 1-1 UFirebird-UC6226 芯片	1
图 1-2 UC6226 芯片框图	4
图 3-1 电源管理单元 (PMU)	14
图 5-1 DC/DC 供电和时序	21
图 5-2 DC/DC bypass 时供电和时序 (Main Supply 是 1.2V~1.98V)	22
图 6-1 QFN40 管脚图	24
图 8-1 QFN40 机械参数	34
图 10-1 QFN 产品外观	37

修订记录

版本号	修订记录	日期
Ver. 1.0 .0 Primary	《和芯星通UM220-IV N用户手册》 第一版	2017年12月
Ver. 1.0 .1 Alpha release	更新了Pin定义名称及性能参数	2018年6月
Ver. 1.0 .2 Beta release	更新了尺寸参数（对于UM220-IV NV 仍为Alpha release）	2018年8月
R1.1	章节11 订单信息：UC6226NIS区分 VDDIO输入电压	2019-10-24
R1.2	版权时间更新	2020-04-13
R1.3	统一等级分类	2020-04-21

免责声明

本档提供有关和芯星通科技（北京）有限公司产品的信息。本档并未以暗示、禁止反言或其他形式转让本公司或任何第三方的专利、商标、版权或所有权或其下的任何权利或许可。

除和芯星通在其产品的销售条款和条件中声明的责任之外，本公司概不承担任何其它责任。并且，和芯星通对其产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。若不按手册要求连接或操作产生的问题，本公司免责。和芯星通可能随时对产品规格及产品描述作出修改，恕不另行通知。

对于本公司产品可能包含某些设计缺陷或错误，一经发现将收入勘误表，并因此可能导致产品与已出版的规格有所差异。如客户索取，可提供最新的勘误表。

在订购产品之前，请您与本公司或当地经销商联系，以获取最新的规格说明。

*和芯星通、UNICORECOMM、UFirebird、和芯火鸟 及其徽标已由和芯星通科技（北京）有限公司申请注册商标。

其它名称和品牌分别为其相应所有者的财产。

版权所有 © 2009-2020，和芯星通科技（北京）有限公司保留所有权利。



前言

本手册为您提供有关和芯星通UC6226芯片的硬件特性，安装使用和性能指标等信息。

适用读者

本手册适用于对GNSS芯片有一定了解的技术人员使用。

文档结构

本手册包括以下各章内容：

- 1 功能特性：概述芯片的功能与特性
- 2 RF子系统：提供有关芯片射频部分的设计
- 3 基带子系统：提供有关芯片基带部分的设计
- 4 工作模式：提供芯片三种工作模式设计
- 5 系统配置：提供芯片相关配置信息
- 6 引脚定义：提供芯片引脚定义
- 7 电气特性指标：提供芯片的电气特性、电源及时序等要求
- 8 机械参数：芯片封装及机械图
- 9 可靠性测试和认证：芯片测试认证及质量标准等信息
- 10 产品外观及包装运输：芯片外观、包装
- 11 订货信息

1 功能特性

1.1 概述



图 1-1 UFirebird-UC6226 芯片

和芯星通火鸟 UFirebird™（型号 UC6226）采用 28nm 工艺和高效的 PMU 设计，兼具低功耗和极致小型化的特点，显著提升用户设备的续航能力。

UC6226 面向全球应用，支持 GPS、GLONASS、北斗、Galileo，可多系统联合定位，支持多种 SBAS 信号接收处理，向用户提供快速、准确的高性能定位体验。

通过内置 Sensor Hub，UC6226 可接入陀螺、加速度计、磁力计、气压计等多种传感器进行融合定位，通过精准的场景及模式识别，在恶劣信号环境下仍能保证快速、精准的定位效果，并显著降低平均运行功耗，大幅提升如手机、穿戴设备及物联网设备的待机时间。

UC6226 采用高集成度设计，芯片内置 DC/DC、LDO、LNA 及 RTC 等，仅需简洁外围器件即可实现完整 GNSS 接收机功能，显著减小 PCB 面积，为用户节约硬件成本。

QFN40 封装符合 AEC-Q100 可靠性标准，兼容主流封装；WLCSP 封装符合专业级要求，极致小巧适于面积敏感的应用场景。

1.2 特性优势

UC6226 具备如下特性:

- 定位引擎特性
 - 64 通道同时跟踪;
 - 热启动时间优于 1 秒;
 - 冷启动灵敏度-147 dBm, 跟踪灵敏度-160 dBm;
 - 数据更新速率最高达 10Hz
- 支持 GPS、QZSS、北斗、GLONASS 和 Galileo
- 支持 26MHz 晶体和 TCXO;
- 外部 32.768kHz 晶体可选;
- 内置 DC/DC 和电源管理单元;
- 支持 ROM 内置固件、Flash 扩展固件及 AP 加载固件三种启动方式
- 车规级 5.0mm x 5.0mm QFN40 封装, 脚距 0.4mm
- 工业级 1.73mm x 2.87mm WLCSP 封装, 占用空间小
- 采用精简 BOM 条件下, 完整接收机 PCB 面积<30mm²

1.3 性能指标

UC6226 的 GNSS 性能指标如下:

表 1-1 UC6226 GNSS 性能

项目	描述		
定位精度			
单点定位	<2.0m CEP50		
速度精度			
	0.1m/s		
灵敏度¹			
	GPS	BDS	GLONASS*
冷启动 ²	-147dBm	-146dBm	-140dBm
跟踪	-160dBm	-159dBm	-158dBm
热启动	-151dBm	-150dBm	-151dBm
重捕	-158dBm	-157dBm	-156dBm
TTFF³			
冷启动	<28s		
AGNSS	<4s ⁴		
热启动	<1s		
重捕	<1s		

¹ 灵敏度指标需确保 CN0 为 41db

² 外部匹配 LNA 以确保性能优

³ 卫星信号强度达到-130dBm

⁴ 辅助数据注入及时

1.4 系统框图

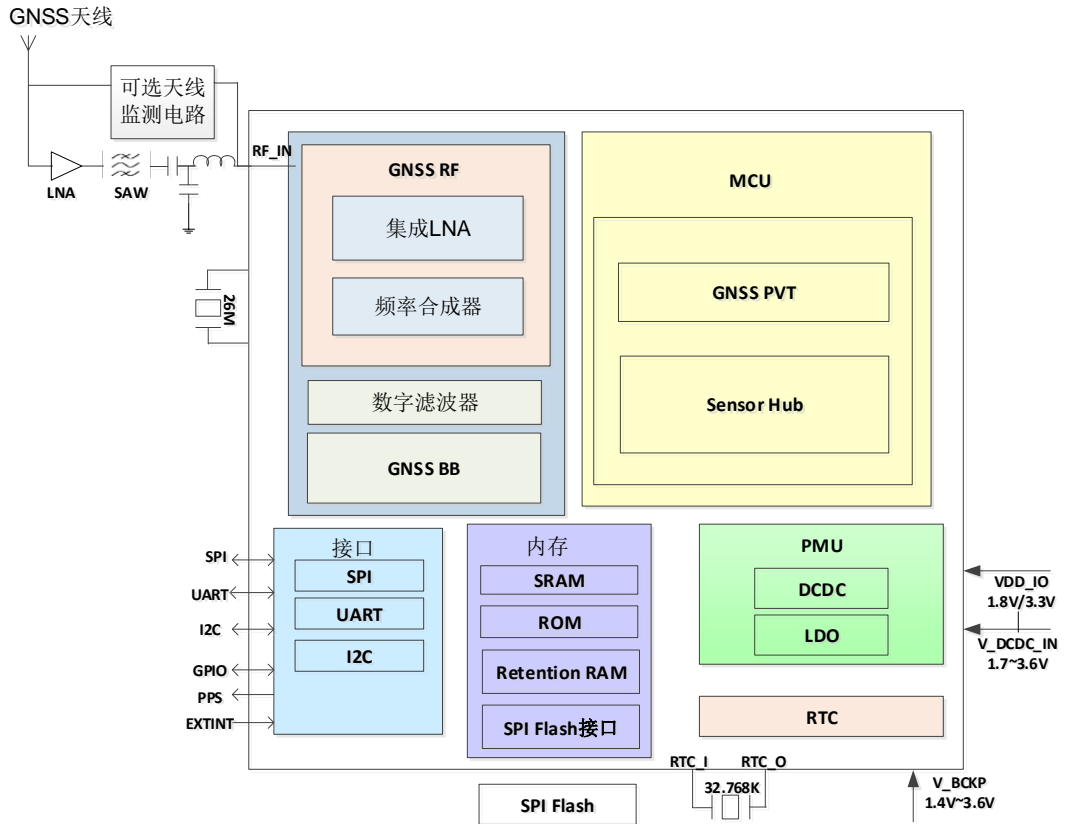


图 1-2 UC6226 芯片框图

1.5 卫星导航系统

UC6226 支持多 GNSS 系统，包括 GPS、北斗、GLONASS、Galileo 及 SBAS。RF 采用宽带设计，可同时接收和处理四个频点的卫星信号，包括 GPS L1、北斗 B1、GLONASS L1 和 Galileo E1，可并行接收或处理其中的两种或三种。

默认情况下，UC6226 配置为并行接收 GPS 和北斗信号。若用户对功耗要求较高，可通过命令配置为 GPS+BD、GPS+GLO 或单系统工作，其他系统配置请联系和芯星通 FAE 获取 GNSS 固件。

1.5.1 GPS

UC6226 可接收和跟踪 GPS 的 1575.42 MHz L1 信号。

1.5.2 GLONASS

UC6226 可接收和跟踪 GLONASS 的 L1 信号，信号频率为 $1602 \text{ MHz} + k \cdot 562.5 \text{ kHz}$ ， $k = -7 \sim +6$ 。用户可在符合法规要求的情况下设计 GLONASS 接收机。

1.5.3 北斗

UC6226 可接收和跟踪北斗卫星导航系统的 1561.098 MHz B1 信号。结合 GPS 接收和跟踪北斗 B1 卫星信号，可增加覆盖范围、改进可靠性和提高精度。

1.5.4 Galileo

UC6226 可同时接收和跟踪 GPS 和 Galileo 信号，增强精度和覆盖范围。

1.6 协议和接口

UC6226 数据协议符合“Unicore Protocol”规范，默认情况下 UC6226 采用 UART 与主机设备进行通讯。有关各种协议的技术参数、所支持的通信接口及固件版本，详情请参阅《Unicore Protocol》文档。

1.6.1 术语、缩略语

下表列出本文涉及或使用到的术语及缩略语：

表 1-2 术语、缩略语简表

缩略语	完整描述或名称
A/D	Analog/Digital 模拟数字信号转换
ADC	Analog Digital Convertor 模数转换器
AGC	Automatic Gain Control 自动增益控制
AGNSS	Assisted GNSS 辅助卫星导航定位
BB	Baseband 基带
CP	Chip Probing 晶圆测试
DC/DC	Direct Current to Direct Current 直流斩波器
DGNSS	Differential GNSS 差分 GNSS
FT	Final Test 最终测试
Galileo	Galileo Navigation Satellite System 欧盟伽利略卫星导航系统
GLONASS	Global Navigation Satellite System 俄罗斯全球卫星导航系统
GNSS	Global Navigation Satellite System 全球卫星导航系统

缩略语	完整描述或名称
GPS	Global Positioning System 美国全球定位系统
LDO	Low DropOut regulator 低压差线性稳压器
LNA	Low Noise Amplifier 低噪声放大器
PDR	Pedestrian Dead Reckoning 步行航位推测
PGA	Programmable Gain Amplifier 可编程增益放大器
PIO	Programming Input/Output
PLL	Phase Locked Loop 锁相环
PMU	Power Management Unit 电源管理单元
POR	Power On Reset 复位
RAM	Random Access Memory 随机存取存储
RF	Radio Frequency 射频
RTC	Real-Time Clock 实时时钟
SBAS	Satellite-Based Augmentation System 星基增强系统
SAW	Surface Acoustic Wave 声表滤波器
SPI	Serial Peripheral Interface 串行外设接口
SQI	Serial Quad I/O 四通道串行接口
TCXO	Temperature Compensate Crystal Oscillator 温补晶体振荡器
VDR	Vehicle Dead Reckoning 车辆航位推测

2 RF 子系统

RF 子系统采用宽带设计，输入信号以 1575MHz 为中心频点，带宽近 100 MHz。所接收的 GNSS 信号由低噪声放大器 (LNA) 进行放大，馈入增益模块，经其进一步放大，进行单端至差分转换，同时降低对混频器噪声系数的要求。

经过复下变频，多路 GNSS 信号被分成 I、Q 两路，分别由 I/Q 低通滤波器和可编程增益放大器(PGA)对于混频后的中频信号进行低通滤波和放大。放大后的 I 和 Q 信号完成 A/D 转换后进入基带信号处理和镜像抑制。

2.1 LNA

LNA 采用单级配置，需要外部匹配才能正常工作。有高性能要求的应用场景，建议增加外部 LNA。根据应用不同，可能需要外部 SAW 来提升抗干扰能力。

2.2 增益模块

单级差分放大器位于 LNA 后面，提供进一步放大以及从单端到差分信号的转换。

2.3 混频器

UC6226 使用有源 I/Q 混频器首先将多路 GNSS 信号转换至中频信号，该阶段信号经下变频为两路 IF 信号，两路信号分别进一步放大后转换为不同的 GNSS 信号频带。

2.4 I/Q 低通滤波器

低通滤波器滤除高频得到所需信号。对于 GNSS 单系统信号接收，为节省功耗，将调低截止频率和带宽。

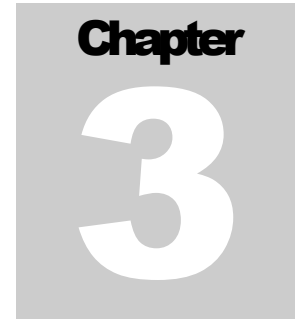
2.5 PGA

PGA 用于为 ADC 提供相应幅度输入的中频信号。PGA 增益可根据 ADC 输出信号自动闭环调整，为接收机提供自动增益控制(AGC)。

PGA 增益可通过 GPIO 配置为固定值以提升系统鲁棒性，该特性适用于与移动通信功能集成的应用。

2.6 ADC

UC6226 内部集成两个 6bit ADC 用于 A/D 转换。I 路和 Q 路 ADC 各输出 6 位数字信号，后进入基带子系统中进行处理。



3 基带子系统

3.1 接口

UC6226 提供多个接口用于数据通信或者 Flash 访问。嵌入式固件根据其各自的协议参数使用这些接口。对于具体应用，固件还支持某些接口连接外围设备，如外部 Flash 或传感器。

基带部分的数字 I/O 由 VDD_IO 供电，VDD_IO 电平与所用逻辑电压电平相同。当 VDD_IO 掉电时，UC6226 将不工作。

由于 UC6226 选用的数字 IO 不支持防电流倒灌功能，实际应用中应避免 IO 接口在芯片掉电的情况下仍被单独供电，详见 3.2 中注意事项。

3.1.1 UART

UC6226 使用两个 UART 接口：UART1 和 UART2，可用于与主机通信。该两 UART 接口均支持可配置最高 921600bps 波特率。

默认情况下，PIO6/PIO7 对应 UART1，在标准固件版本中作为主 UART。通过 D_SEL 可将 UC6226 的通信接口映射到不同的 PIO 接口。PIO6/PIO7 也可被用作 SPI，此时 UART1 将被映射至 PIO15/PIO16。关于 D_SEL 使用及对应的通信接口映射请参见 3.2 中说明。

UART2 可使用 PIO17/PIO18、或者 PIO10/PIO12、或者 PIO2/PIO3，标准固件中 UART2 默认使用 PIO17/PIO18。UART2 主要用于辅助信息传输或调试。

3.1.2 测试接口

UC6226 提供两个专用引脚用于芯片测试，包括晶圆测试(CP)和最终测试(FT)。该接口由两个专用引脚组成：TCK 和 TMS。

设计 UC6226 应用时，芯片测试接口 TCK 和 TMS 须保持开路。

3.2 PIO

PIO 模块可配置为 GPIO，或作为前述通信接口。下表介绍所有 PIO 功能及复用情况。

表 3-1 PIO 功能及复用情况

PIO #	默认功能	I/O	说明	复用功能
0	GPIO	I/O	悬空	SPI slave MOSI, SPI slave MISO
1	GPIO	I/O	悬空	SPI slave MISO, SPI slave MOSI
2	GPIO	I/O	悬空	TIMEPULSE, UART2 TX
3	GPIO	I/O	悬空	TIMEPULSE, UART2 RX
4	GPIO	I/O	悬空	SPI slave clock
5	GPIO	I/O	悬空	SPI 片选
6	TX1	O	UART1 TX (当 D_SEL 在启动时为高)	GPIO
7	RX1	I	UART1 RX (当 D_SEL 在启动时为高)	GPIO
8	GPIO	I/O	悬空	SCL
9	GPIO	I/O	悬空	SDA
10	D_SEL	I	通信接口选择引脚。 默认此引脚强制上拉。	
11	PPS	O	1PPS 输出	EVENT, CPU_CLK
12	BOOT_MODE	I	引导程序模式选择引脚。 默认此引脚强制上拉。	UART1 TX, UART2 TX
13	-	I	默认无功能	EVENT, UART1 CTS, SCL or SCK
14	无功能	I	可配置成天线检测输入	EVENT, ANT_DET
15	ANT_OK	I	天线状态检测输入	ANT_SHORT,
16	ANT_OFF	O	天线供电控制输出, 输出状态与 PIO15 状态相关	SPD_PULSE
17	UART2 RX	I	UART2 RX	SCL or SCK

PIO #	默认功能	I/O	说明	复用功能
18	UART2 TX	O	UART2 TX	UART2 TX SDA

 由于 UC6226 选用的数字 IO 不支持防电流倒灌功能，在实际方案开发和应用中应注意：

- 1) VDDIO 和 V_DCDC_IN/Vcore 采用同源供电时：需要明确与本芯片 UART、SPI、I2C 通信的主机端口掉电后的信号状态，当上位机要控制本芯片掉电时，应先把这些与 UC6226 有连接的端口设置为高阻态，以防止 UC6226 一直消耗上位机的电。
- 2) VDDIO 和 V_DCDC_IN/Vcore 不采用同源供电时，则可通过切断 V_DCDC_IN/Vcore 供电，达到芯片掉电目的。

3.3 看门狗

UC6226 包含看门狗定时器，防止在软件陷入死锁时导致系统闭锁。在正常工作时，固件会在定时器发生溢出之前，定期通过软复位的方式复位看门狗的内部计数器。

3.4 定时器计数器

定时器计数器有一个 TIMEMARK 输入和一个 TIMEPULSE 输出。TIMEMARK 可以通过 PIO11、PIO13 或 PIO14 输入，但只能通过其中一个 PIO 输入。TIMEMARK 输入为（通过 EXTINT0 和 EXTINT1 路由）相对于 GPS 时间的时间戳外部事件。

TIMEPULSE 可以通过 PIO2、PIO3 或 PIO11 输出，但同一时间只能输出一个 TIMEPULSE。TIMEPULSE 输出生成与 GPS 或 UTC 时间网格同步的脉冲序列，时间间隔可在很宽的频率范围内配置。

3.5 时钟

3.5.1 TCXO

UC6226 需外部接入 26MHz 时钟，该时钟可由 TCXO 或晶体提供，为 RF 和基带 PLL 提供参考频率。

3.5.2 PLL

全集成的低功耗 PLL 从 TCXO 或晶体提供的 26MHz 参考频率中生成系统时钟。

3.5.3 RTC

RTC 通常由片内的 32768 Hz 振荡器驱动，该振荡器需连接外部的 32768Hz 晶体。

当主电源和 IO 供电掉电时，若 V_BCKP 连接了备用电池，则基带、RF、CPU 均不再工作，而 RTC 仍保持运行为接收机提供守时参考，该工作模式即为 RTC 守时模式。RTC 守时模式下，Retention RAM 中仍保存相关数据用作 GNSS 热启动。

RTC 守时模式对于 GNSS 热启动功能为必要前提，该模式下 RTC 提供时间信息，Retention RAM 或 Flash 提供星历、历书等信息。在基于 A-GNSS 的系统中，若可通过网络提供时间信息和星历作为辅助，则 RTC 并非必需。

若不使用 Retention RAM 和 RTC，则 UC6226 不需要备用电池。

标准固件默认支持 32768Hz。此外，UC6226 也支持外部 32768Hz 的数字时钟信号直接输入 RTC_I 引脚以替代晶体。当使用外部数字时钟信号输入 RTC_I 时，务必注意其信号幅度须小于 1.1V，否则可能导致 UC6226 被烧毁。

3.5.4 时钟源组合

表 3-2 时钟源组合

主时钟输入	RTC 时钟输入	说明
26MHz TCXO 提供时钟连接至 XTAL_I	32768Hz 晶体提供时钟连接至 RTC_I 和 RTC_O	正常使用 电池须提供 V_BCKP 以保持 RTC 运行
26M TCXO 提供时钟连接至 XTAL_I	32768Hz 外部数字信号至 RTC_I	正常使用 电池须提供 V_BCKP 以保持 RTC 运行
26M TCXO 提供时钟连接至 XTAL_I		该条件下不支持 GNSS 热启动。

针对上述时钟源组合所对应的应用，须在设计中注意如下事项：

- 使用 26M TCXO 时，该 TCXO 可由 LDO_X 或外部电源供电，XTAL_O 须悬空
- 如果 32768Hz 外部数字信号用作 RTC 时钟，其波形幅度须为 0.9V~1.1V，钟漂误差要求在±0.6Hz，20ppm。

3.6 电源管理单元(PMU)

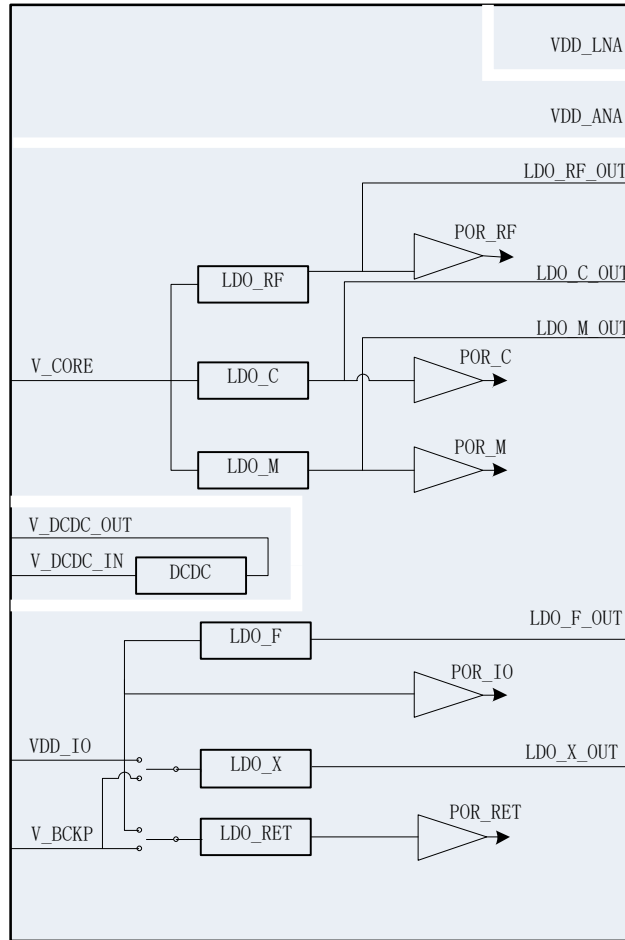


图 3-1 电源管理单元 (PMU)

PMU 提供四个电源域，由 LDO 内部生成并受几个电压监视器的监控：

➤ 内核 (Core)

内核电源域 (Core 域) 是芯片内 RF 和逻辑的主电源域。两个后续的 LDO (LDO_C 和 LDO_RF) 转换 V_CORE 输入，将 V_CORE 转换为各自电压，并且须分别通过 LDO_C_OUT 和 LDO_RF_OUT 引脚挂接去耦电容。LDO_C 驱动片上数字逻辑部件，LDO_RF 驱动 RF 和模拟电路。

LDO_RF_OUT 不在片内直接连接或驱动 RF 电路，用户须在 PCB 上将其连接到 VDD_LNA 和 VDD_ANA，再将电源供给芯片内 RF 电路。推荐用户采用抑制噪声的连接方式以提高射频性能，如使用磁珠隔离。

UC6226 由片内 DC/DC 供电时，V_CORE 引脚电压范围 1.0V-1.1V；在 DC/DC bypass 模式下，V_CORE 允许的输入电压范围为 1.2V-1.98V。

➤ IO

IO电源域通过VDD_IO供电，包括芯片IO器件、片上Flash、ADC转换器以及eFuse等。VDD_IO的供电电压可以1.8V为中心(1.7V-1.9V)或者以3.3V为中心(2.8V-3.6V)。除了IO器件以外，其他设备由专用的LDO_F供电，以确保片上Flash、ADC和eFuse等得到稳定的1.8V电源电压。LDO_F须通过LDO_F_OUT引脚连接相应的去耦电容。

➤ Backup

Backup电源域包括RTC部分和Retention RAM。这个电源域由VDD_IO和V_BCKP供电。当VDD_IO的供电电压处于正常范围时，使用VDD_IO，否则使用V_BCKP。V_BCKP的允许电压范围是1.4V-3.6V。因此，普通的锂电池或其他电池均可直接连接到此引脚上。

➤ 晶振

如果正在使用的是26M TCXO并且该TCXO由LDO_X供电，LDO_X_OUT应连接到TCXO的电源引脚，同时用电容去耦。当然，用户也可选择除LDO_X以外的外部电源来使TCXO工作。请注意，如果TCXO用做主时钟源，且使用该时钟源驱动RTC，则不要设计硬件备份功能，V_BCKP无法提供TCXO所需的工作电流。

3.6.1 DC/DC 转换器

UC6226 集成了一个DC/DC转换器，从而降低功耗和成本，尤其是使用单电源供电时。要使用片上DC/DC转换器，主电源须连接到V_DCDC_IN，并使用一个电容和一个电感将V_DCDC_OUT连接到V_CORE。若不使用DC/DC转换器，须将V_DCDC_IN和V_DCDC_OUT都连接到V_CORE。

在使用DC/DC转换器时，V_DCDC_IN允许的输入电压范围是1.7V-3.6V；不使用DC/DC转换器时，V_DCDC_IN/V_CORE的允许输入电压范围是1.2V-1.98V。超过最大允许电压范围的供电将会损坏UC6226芯片。

3.7 内存

3.7.1 Backup RAM

UC6226 内置 32 kByte 可由电池供电的 Backup RAM，在主电源断电时可保存其中的数据。Backup RAM 在内部由备用电源域供电，所以V_BCKP可以在VDD_IO掉电后自动接管电源。

3.7.2 系统 RAM

UC6226 芯片包含 768 kByte 系统 RAM 和 512 KB 系统 ROM，由处理器（用于数据访问）以及 UART、I²C 和 SPI DMA 共用。

3.7.3 GNSS RAM

UC6226 芯片使用 256kByte GNSS RAM，供跟踪引擎使用。此内存也可供处理器使用，但效率较低。

3.7.4 捕获 RAM

UC6226 芯片包含 384kByte 专用 RAM 用于 GNSS 捕获引擎。

3.7.5 eFuse 内存

UC6226 芯片包含一个集成的 256 bit eFuse，永久性保存芯片生产信息和配置设置。

4 工作模式

4.1 连续跟踪模式

芯片全速运行模式下，硬件跟踪通道不间断地处理卫星信号，通过高质量的信号捕获、跟踪保障定位、测速精度及 TTFF。

4.2 休眠模式

除 RTC 守时单元和 Backup RAM 之外，芯片处于关电状态。用户可根据实际需求便捷唤醒。休眠模式下芯片运行在极低功耗水平，唤醒后能够进行快速热启动。

5 系统配置

5.1 配置通信接口

UC6226 的标准通信接口包含 2 个 UART 串口

5.2 配置引脚

配置引脚有两个：BOOT_MODE (PIO12)和 D_SEL (PIO10)。

BOOT_MODE 引脚决定了芯片 Boot 模式：单机模式或 SPI slave 模式。有关两种模式的介绍，请参阅下一章节。

D_SEL 引脚用于选择通信接口集。当 D_SEL 保持开路或者连接到 VDD_IO 时，UART1 和 I²C 使用 PIO6/PIO7/PIO8/PIO9，SPI slave 接口默认被禁用，若需开启需另行配置；当 D_SEL 引脚连接 GND 时，SPI slave 使用 PIO6/PIO7/PIO8/PIO9，而 UART1 和 I²C 被映射至 PIO15/PIO16/PIO17/PIO18，此时 PIO14 用作做辅助 SRDY 信号以帮助 SPI 通信。简要示意如下表：

表 5-1 D_SEL 引脚配置

D_SEL 配置	引脚功能	说明
1	UART1 TX/RX: PIO6/PIO7 I ² C SCL/SDA: PIO8/9	
0	SPI Slave MISO/MOSI/clock/CS: PIO6/PIO7/PIO8/PIO9 UART1 TX/RX: PIO15/PIO16 I ² C SCL/SDA: PIO17/PIO18 或 PIO13/PIO14	PIO14 作为 SPI 接口的辅助 SRDY

所有上述配置均用于 UC6226 标准功能，或者标准固件版本。注意，I²C 既可映射至 PIO17/PIO18 也可映射至 PIO13/PIO14，该配置取决于固件。实际上，UC6226 提供相当丰富的接口配置，相应地，配置方式也比较复杂，均取决于固件。详情参阅 PIO 配置表，并关注所使用固件的发布说明。

D_SEL 仅在上电或 RESETN 被释放之前有效。RESETN 被释放后，D_SEL 引脚可用作普通的 PIO 引脚。不用时，需要强制上拉。

5.3 Boot 模式

UC6226 有两种主要的 Boot 模式，通过 BOOT_MODE (PIO12)引脚控制：单机模式和 SPI slave 模式。

当 UC6226 以单机模式 Boot 时，CPU 顺序检查外部 Flash、封装内嵌 Flash 以及 ROM 固件。若未检测到外部 Flash 或外部 Flash 中无固件，则 CPU 尝试读取封装内嵌 Flash 中的固件；若再次失败，则 CPU 使用 ROM 固件运行。

如果 UC6226 以 SPI slave 模式 Boot，则 CPU 将等待主机通过 SPI slave 接口连接发起固件传输，传输将基于和芯星通专有协议进行。固件传输结束后，UC6226 的内部 CPU 即开始运行该固件。

在单机模式 Boot 时，内部 CPU 将监听 UART1 端口的固件升级请求。若 CPU 在上电或复位后的 20ms 内检测到升级请求，则 CPU 开始自适应波特率并升级固件；否则按照前述 Boot 序列执行。

BOOT_MODE 仅在上电或 CHIP_RSTN 被释放之前有效。CHIP_RSTN 被释放后，BOOT_MODE 引脚可用作普通的 PIO 引脚。不用时，需要强制上拉。

5.4 系统复位

按照 UC6226 芯片的电源结构，有两个复位域：Core 域和 Backup 域。Core 域包括由 26M 时钟定时的所有电路；Backup 域包括 RTC 电路和 Retention RAM。

主 RESET 控制 Core 域的复位，主 RESET 域有以下复位源：

- POR_IO 用于检测 IO 电压。IO 供电为 1.8V 时，当 IO 电压低于 1.62V，则发出 Core 域复位信号；IO 供电为 3.0V/3.3V 时，当 IO 电压低于 2.6V，则发出 Core 域复位信号；
- POR_DCDC 用于检测 DC/DC 输入电压。使用 DC/DC 条件下，当 DC/DC 电压低于 1.6V，则发送 Core 域复位信号；DC/DC bypass 条件下，当其电压低于 1.0V，则发送 Core 域复位信号。
- POR_C 用于检测内核电压。当内核电压低于固件预设电压的 90%时，则发送 Core 域复

位信号;

- POR_RET 用于检测 backup 电源域的电压。当 backup 电源域的电压低于 0.6V，则发送 Core 域复位信号;
- RESET_N 为芯片的复位引脚，当其电平为低，发出 Core 域复位信号;
- 芯片的软件系统复位信号，由固件控制;
- 看门狗 RESET。

上述复位源中的任何一个发出 Core 域复位信号，则 Core 域将被复位。

Backup RESET 域有以下复位源:

- POR_RET 用于检测 backup 电源域的供电电压。当电压低于 0.6V，则发出 backup 域复位信号;
- 软件控制的 RTC RESET 信号，由固件控制。

上述复位源中的任何一个发出 backup 域复位信号，则 backup 域将被复位。

5.5 上电序列

通常 UC6226 的供电有两个场景：使用内部 DC/DC，或者 bypass 内部 DC/DC。RTC 区域或 VDD_IO 区域独立于主电源，上电序列不会互相影响或相互依赖。

需要注意，UC6226 上电后，要保证大于 230ms 的完整启动时间，小于此时间断电，可能会导致芯片状态异常，Vback 耗电增加。

5.5.1 DC/DC 供电和时序

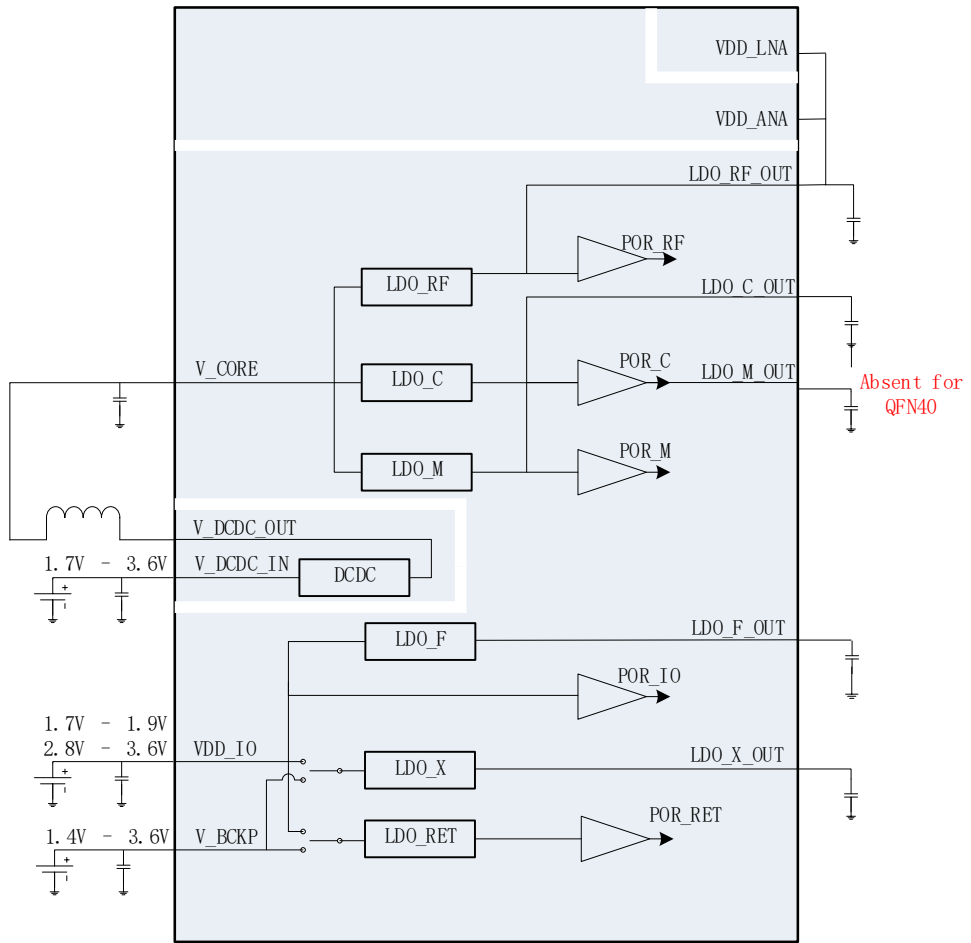


图 5-1 DC/DC 供电和时序

使用内部 DC/DC 将使电源效率最高。主电源需连接到 V_DCDC_IN 引脚，独立于 VDD_IO。

主电源和 VDD_IO 各自的上电时间须小于 10ms，但主电源和 VDD_IO 之间没有时序要求。但是，缺失任何一个电源都会令主电路处于复位状态。

当 V_BCKP 持续供电时，主电源或 VDD_IO 的状态不影响 RTC 区域的状态。

5.5.2 DC/DC bypass 时供电和时序

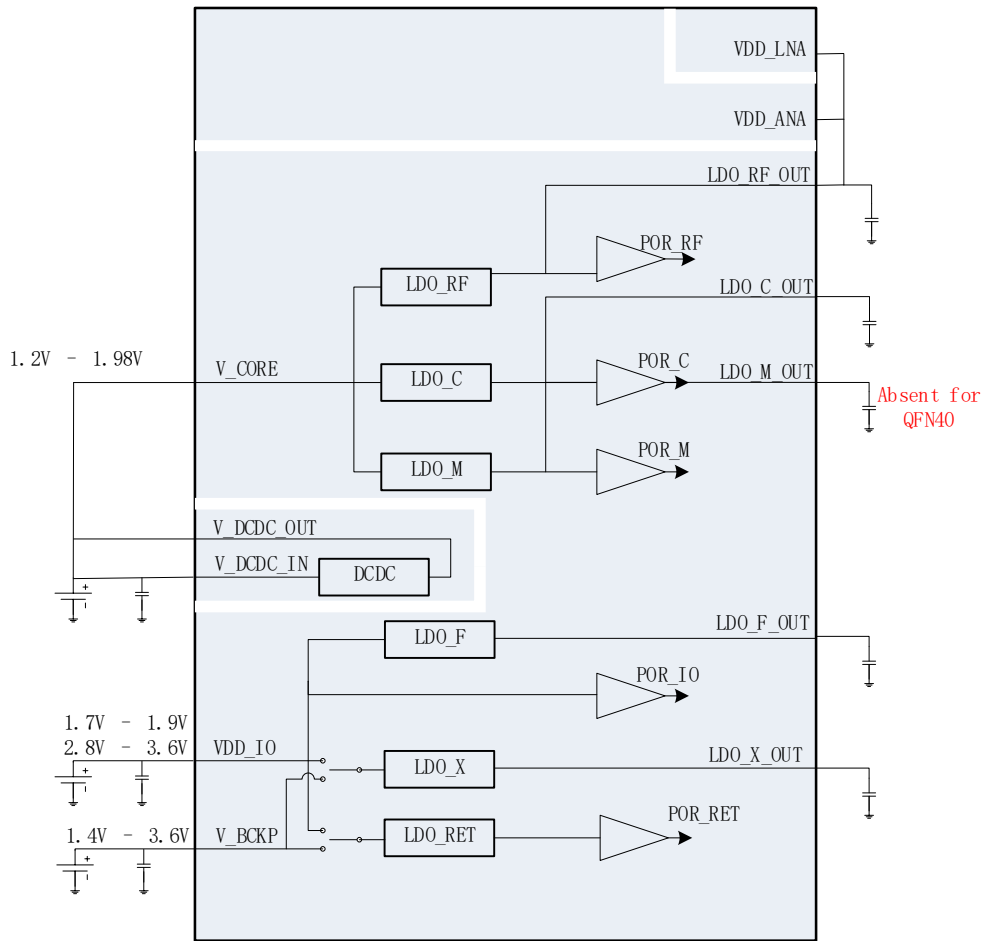



图 5-2 DC/DC bypass 时供电和时序 (Main Supply 是 1.2V~1.98V)

若不使用内部 DC/DC，则可以最大程度减少外部元器件的数量和成本。在此情况下，将主电源同时连接到 V_DCDC_IN、V_DCDC_OUT 和 V_CORE 引脚，独立于 VDD_IO。

 请注意，这种模式下主电源的允许输入电压限制为 1.2V - 1.98V。电源电压高于 1.98V 将对 UC6226 芯片造成永久性损坏。

主电源和 VDD_IO 各自的上电时间须不超过 10ms，但主电源和 VDD_IO 之间没有时序要求。但是，缺失任何一个电源都会令芯片处于复位状态。

当 V_BCKP 持续供电时，主电源或 VDD_IO 的状态不影响 RTC 区域的状态。

5.5.3 Backup 区域的上电序列

Backup 区域由内部电源开关的输出供电，该开关切换 VDD_IO 引脚的 IO 电源和 V_BCKP

引脚的备份电源。为了最大程度降低备用电池消耗，只有当 VDD_IO 降至 1.6V 以下时，才会切换至 V_BCKP 供电。

如果 VDD_IO 和 V_BCKP 均无供电，则 backup 区域不工作。若给任何一个引脚供电，则 backup 区域将被复位并很快开始工作。

6 引脚定义

6.1 引脚分布

6.1.1 QFN40

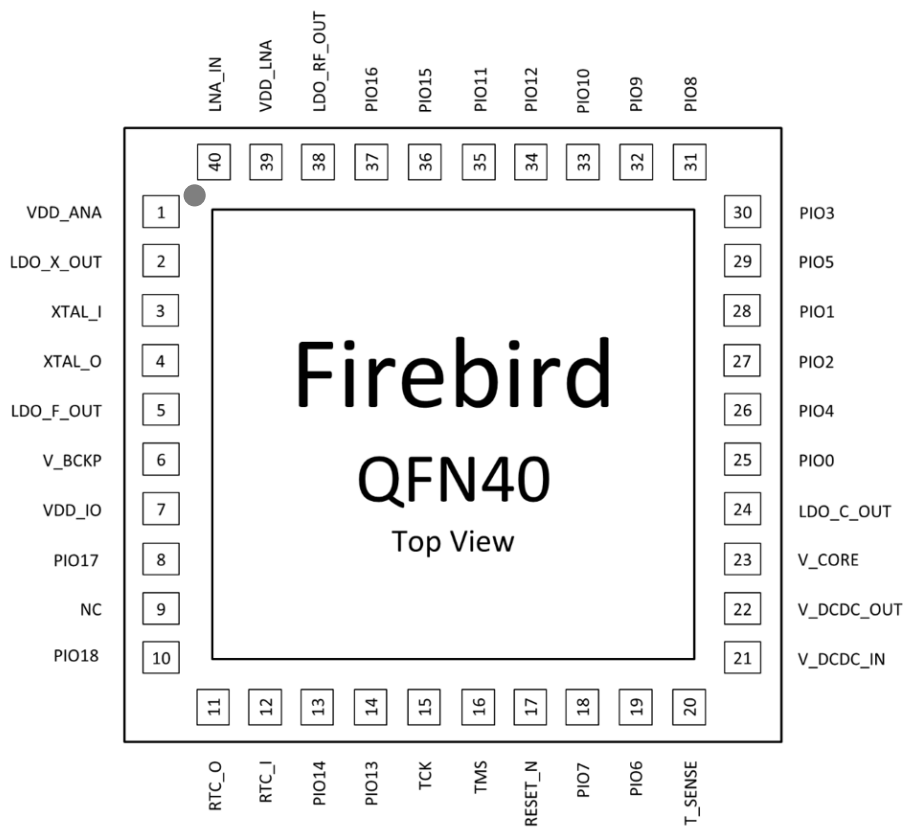


图 6-1 QFN40 管脚图

6.1.2 WLCSP27

●	1	2	3	4	5	6	7
A		GND_RF	LDO_X_OUT	NC	CLK_I	VDD_IO	RTC_O
B	LNA_IN	1PPS*	NC	TMS	NC	NC	RTC_I
C	LDO_RF_OUT	NC	NC	RSTN	TCK	HUART_RXD	V_BCKP
D	NC	LDO_C_OUT	NC	NC	GND	V_CORE	HUART_TXD

备注：*ROM 版本不支持

6.2 引脚说明

6.2.1 QFN40 引脚说明

表 6-1 QFN40 电源引脚说明

Name	Pin QFN40	Power Domain	Description
V_DCDC_IN	21	DC/DC	DC/DC 供电输入
V_DCDC_OUT	22	DC/DC	DC/DC 供电输出
V_CORE	23	Core	Core 供电输入
V_BCKP	6	Backup	备份电源输入
VDD_IO	7	IO	I/O, TCXO 及 Flash 供电输入
VDD_ANA	1	Core/RF	模拟部分供电输入
VDD_LNA	39	Core/RF	LNA 供电输入
LDO_RF_OUT	38	Core/RF	RF LDO 电压输出
LDO_C_OUT	24	Core/Logic	Core LDO 电压输出
LDO_X_OUT	2	Clock	TCXO/crystal LDO 电压输出
LDO_F_OUT	5	Flash	Flash LDO 电压输出
PADDLE	paddle		地

表 6-2 QFN40 模拟引脚说明

Name	Pin QFN40	Power Domain	Description
LNA_IN	40	RF	LNA 输入 (须外部匹配!)
XTAL_I	3	Clock	26M TCXO 或晶体时钟输入
XTAL_O	4	Clock	26M 晶体时钟输出
RTC_I	12	Backup	32k 晶体或数字波形输入 (幅度范围为 0.9V~1.1V!)
RTC_O	11	Backup	32k 时钟输出

Name	Pin QFN40	Power Domain	Description
T_SENSE	20	IO	ADC 输入(须 <1.8Vp-p)
RESET_N	17	IO	系统复位
TCK	15	IO	调试接口
TMS	16	IO	调试接口
DNC	/	N/A	NC, 请悬空
NC	9	N/A	NC

表 6-3 QFN40 PIO 引脚说明

Name	Pin QFN40	Power Domain	I/O Reset	I/O Core off	Description
PIO0	25	IO	I/pull-up	I/pull-up	IO PIO0
PIO1	28	IO	I/pull-up	I/pull-up	IO PIO1
PIO2	27	IO	I/pull-up	I/pull-up	IO PIO2
PIO3	30	IO	I/pull-up	I/pull-up	IO PIO3
PIO4	26	IO	I/pull-up	I/pull-up	IO PIO4
PIO5	29	IO	I/pull-up	I/pull-up	IO PIO5
PIO6	19	IO	O/pull-up	I/pull-up	IO PIO6
PIO7	18	IO	I/pull-up	I/pull-up	IO PIO7
PIO8	31	IO	I/pull-up	I/pull-up	IO PIO8
PIO9	32	IO	I/pull-up	I/pull-up	IO PIO9
PIO10	33	IO	I/pull-up	I/pull-up	IO PIO10 或 D_SEL
PIO11	35	IO	I/pull-up	I/pull-up	IO PIO11
PIO12	34	IO	I/pull-up	I/pull-up	IO PIO12 或 BOOT_MODE
PIO13	14	IO	I/pull-down	I/pull-down	IO PIO13
PIO14	13	IO	I/pull-down	I/pull-down	IO PIO14
PIO15	36	IO	I/pull-up	I/pull-up	IO PIO15
PIO16	37	IO	I/pull-up	I/pull-up	IO PIO16
PIO17	8	IO	I/pull-up	I/pull-up	IO PIO17
PIO18	10	IO	I/pull-up	I/pull-up	IO PIO18

6.2.2 WLCSP27 引脚说明

表 6-4 WLCSP27 电源引脚说明

Name	Pin WLCSP27	Power Domain	Description
V_CORE	D6	Core	Core 供电输入
V_BCKP	C7	Backup	备份电源输入
VDD_IO	A6	IO	I/O, TCXO 供电输入
LDO_RF_OUT	C1	Core/RF	RF LDO 电压输出
LDO_C_OUT	D2	Core/Logic	Core LDO 电压输出
LDO_X_OUT	A3	Clock	TCXO/crystal LDO 电压输出

表 6-5 WLCSP27 模拟引脚说明

Name	Pin WLCSP27	Power Domain	Description
LNA_IN	B1	RF	LNA 输入 (须外部匹配!)
CLK_I	A5	Clock	26M TCXO 或晶体时钟输入
NC	A4		悬空
RTC_I	B7	Backup	32k 晶体或数字波形输入 (幅度范围为 0.9V~1.1V!)
RTC_O	A7	Backup	32k 时钟输出
RSTN	C4	IO	系统复位
TCK	C5	IO	调试接口
TMS	B4	IO	调试接口

表 6-6 WLCSP27 IO 引脚说明

Name	Pin WLCSP27	Power Domain	I/O Reset	I/O Core off	Description
UART_RXD	C6	IO	I/pull-up	I/pull-up	串口数据收信号
UART_TXD	D7	IO	O/-	I/pull-up	串口数据发信号
NC	C3				悬空
NC	D3				悬空
NC	D4	IO			悬空
PPS	B2	IO	I/pull-up	I/pull-up	PPS 输出引脚, 上电状态严禁处于低电平
NC	B3	IO			悬空
NC	B5	IO			悬空
NC	B6	IO			悬空
NC	D1	IO			悬空
NC	C2	IO			悬空

7 电气特性指标

7.1 最大绝对额定值

表 7-1 最大绝对额定值

符号	参数	最小	最大	单位
V_DCDC_IN	内部 DC/DC 转换器输入电压 WLCSP 封装无此引脚	-0.2	3.6	V
V_CORE, V_DCDC_OUT	基带主内核和 RF LDO 输入电源电压 内部 DC/DC 转换器的输出电压	-0.2	1.98	V
VDD_IO	VDDIO_3.3V VIL VIH VDDIO_1.8V VIL VIH	-0.2 1.2 -0.2 1.2	0.7 3.6 0.6 1.9	V V
V_BCKP	备份域和 LDO_X 输入电源电压	-0.2	3.6	V
VDD_ANA, VDD_LNA	RF 域电源电压	-0.2	0.99	V
V _i	XTAL_I 上输入电压	-0.2	1.1	V
V _i _{ana}	RTC_I 上输入电压	-0.2	1.1	V
V _i _{dig}	PIO0-18、RESET_N、TCK 和 TMS 上输入电压	-0.2	3.6	V
V _i _{adc}	T_SENSE	-0.2	1.98	V
P _{rfin}	LNA_IN 上 RF 输入功率		+15	dBm
P _{tot}	总功率		100	mW
T _{jun}	结温	-40	+125	°C
T _s	储存温度	-50	+150	°C

7.2 工作条件

表 7-2 工作条件

符号	参数	条件	最小	典型	最大	单位
T_{amb}	环境温度		-40	+25	+85	°C
V_{DCDC_IN}	内部 DC/DC 转换器的输入电压 WLCSP 封装无此引脚		1.7		3.6	V
V_{CORE}^5	基带主内核和 RF LDO 输入的电源电压		1.2	1.2	1.98	V
VDD_IO	QFN 封装: I/O、LDO_X 和 Flash 的电源电压 WLCSP 封装	中心电压 1.8V, 中心电压 3.0V 或 3.3V	1.7 2.8	1.8 3.0/3.3	1.9 3.6	V
V_{BCKP}	QFN 封装: 备份域和 LDO_X 输入的电源电压 WLCSP 封装		1.4 1.4	3.3 1.8	3.6 3.6	V
VDD_ANA^6 , VDD_LNA	RF 域的电源电压		0.69	0.8	0.95	V
F_{ref}	参考时钟			26		MHz

⁵ 如果 V_{CORE} 用于直接为芯片供电，则 V_{DCDC_IN} 和 V_{DCDC_OUT} 须连接 V_{CORE}

⁶ 通常 VDD_ANA 和 VDD_LNA 应由 LDO_RF_OUT 供电，如果用户需要应用其他设计，请联络和芯星通技术支持

7.2.1 直流电气特征

表 7-3 直流电气特征

符号	参数	最小	典型	最大	单位
VDD_IO	PIO 的电源电压, LDO_F 和 LDO_X 的输入电压	1.7 2.8	1.8 3.3	1.9 3.6	V
V_DCDC_IN	DC/DC 转换器的输入电压	1.7		3.6	V
V_CORE (内部 DC/DC 供电)	LDO_C 和 LDO_RF 的输入电压	1.0	1.1	1.1	V
V_CORE (不使用内部 DC/DC)	LDO_C 和 LDO_RF 的输入电压	1.2	1.2	1.98	V
V_BCKP	QFN 封装 LDO_B 和 LDO_X 的输入电压 (备份模式) WLCSP 封装	1.4 1.4	3.3 1.8	3.6 3.6	V
I _{LDO_X_OUT}	LDO_X 输出电流			5	mA
LDO_X_OUT	LDO_X 输出电压 (使用 26M 晶体) (对于 1.6V TCXO) (对于 1.9V TCXO) 默认 (对于 2.6V TCXO) (对于 3.0V TCXO)		- 1.6 1.9 2.6 3.0		V
LDO_RF_OUT	LDO_RF 输出电压	0.69	0.8	0.85	V
LDO_F_OUT	LDO_F 输出电压	1.78	1.8	1.85	V
LDO_C_OUT	LDO_C 输出电压	0.7	0.8	0.9	V
VDD_ANA	电源引脚	0.69	0.8	0.95	V
VDD_LNA	电源引脚	0.69	0.8	0.95	V

7.2.2 模拟参数

表 7-4 模拟参数

符号	参数	条件	最小	典型	最大	单位
RTC_Fxtal	RTC 晶振共振频率			32768		Hz
RTC_T_start	RTC 启动时间		0.2	1	2	s
RTC_losc	32768 Hz OSC 电流源			3		μA

符号	参数	条件	最小	典型	最大	单位
RTC_Amp	32768 Hz OSC 振幅	ESR = 80 k Ω	50		350	mVpp
RTC_ESR	32768 Hz Xtal 等效串联电阻				90	k Ω
RTC_CL	RTC 集成负载电容	ESR = 80 k Ω	7	7	12.5	pF
RTC_Vil	RTC 低电平输入电压	共用 RTC 振荡器输入	0.0		0.2	V
RTC_Vih	RTC 高电平输入电压	共用 RTC 振荡器输入	0.7		0.9	V
DCDC_eff	DC/DC 效率	输入 3.3V, 2mA-40mA, 外部元器件 L = 4.7 μ H, C = 10 μ F		82		%

7.2.3 RF 参数

表 7-5 RF 参数

符号	参数	条件	最小	典型	最大	单位
Fin	接收机输入频率		1550	1575.42	1620	MHz
LNA_IN	LNA 输入阻抗	需要匹配和隔直电容。 匹配器件典型值：串联电感 L = 7.5nH, 对地电容 C = 3pF。 隔直电容典型值 47pF。		50		Ω
LNA_S11	LNA 输入回波损耗	50 Ω 环境		-10		dB
NFtot	接收机级联噪声系数	50 Ω 环境		2.5		dB
Ext_Gain	匹配前外部增益	50 Ω 环境			45	dB
TCXO_Freq	TCXO 频率			26		MHz
TCXO_IN_Vpp	TCXO 输入峰-峰电压			0.6		V _{pp}
XTAL_Freq	XTO 频率			26		MHz
XTAL_Drive	XTAL 驱动电平	@26MHz, 15 Ω < ESR < 60 Ω			100	μ W

7.2.4 电流消耗

表 7-6 电流消耗

符号	参数	条件	典型	单位
I_{BCKP}	使用 RTC 晶体守时时 V_BCKP 上的电流	Retention RAM 供电 (V_BCKP = 3.6V, VDD_IO = V_CORE = 0V)	45	μA
I_{BCKP}	使用 RTC 晶体守时时 V_BCKP 上的电流	Retention RAM 关电 (内置 flash 芯 片) (V_BCKP = 3.7V, VDD_IO = V_CORE = 0V)	35	μA

7.3 参考性电源要求

下表列出在可能的应用中总系统电源电流示例，其中包括 RF 和基带部分。

下面所列数值为典型电流要求的示例，系统主频为 66MHz，仅供客户参考。具体数值按照采样进行表征，实际电流取决于所用的 FW 版本、外部电路、跟踪的 SV 个数、信号强度、类型和启动时间、时长以及测试条件。

表 7-7 参考性电源要求

符号	参数	条件	典型	单位
I _{vdd_io}	IO 电流	V _{core} =0V	200@3.3V	uA
		外部无外设	100@1.8V	
I _{v_DCDC_IN}	V _{DCDC_IN} 电流 @3.3V (V _{CORE} =1.1V)	捕获 (GNSS 双系统联合)	18.2	mA
		连续跟踪 (GNSS 双系统联合)	9.0	
		连续跟踪 (GNSS 单系统)	8.5	

☞ GNSS 双系统联合工作模式，可为 GPS+BDS 或 GPS+GLONASS 双系统联合工作；GNSS 单系统工作模式可为 GPS、BDS 或 GLONASS 独立工作；

☞ UC6226 工作电流与固件特性相关，包括工作频率、电压、GNSS 软件策略等，上述参数为 66MHz 系统频率下测得，进一步详情请参见相关测试报告。

8 机械参数

8.1 QFN40

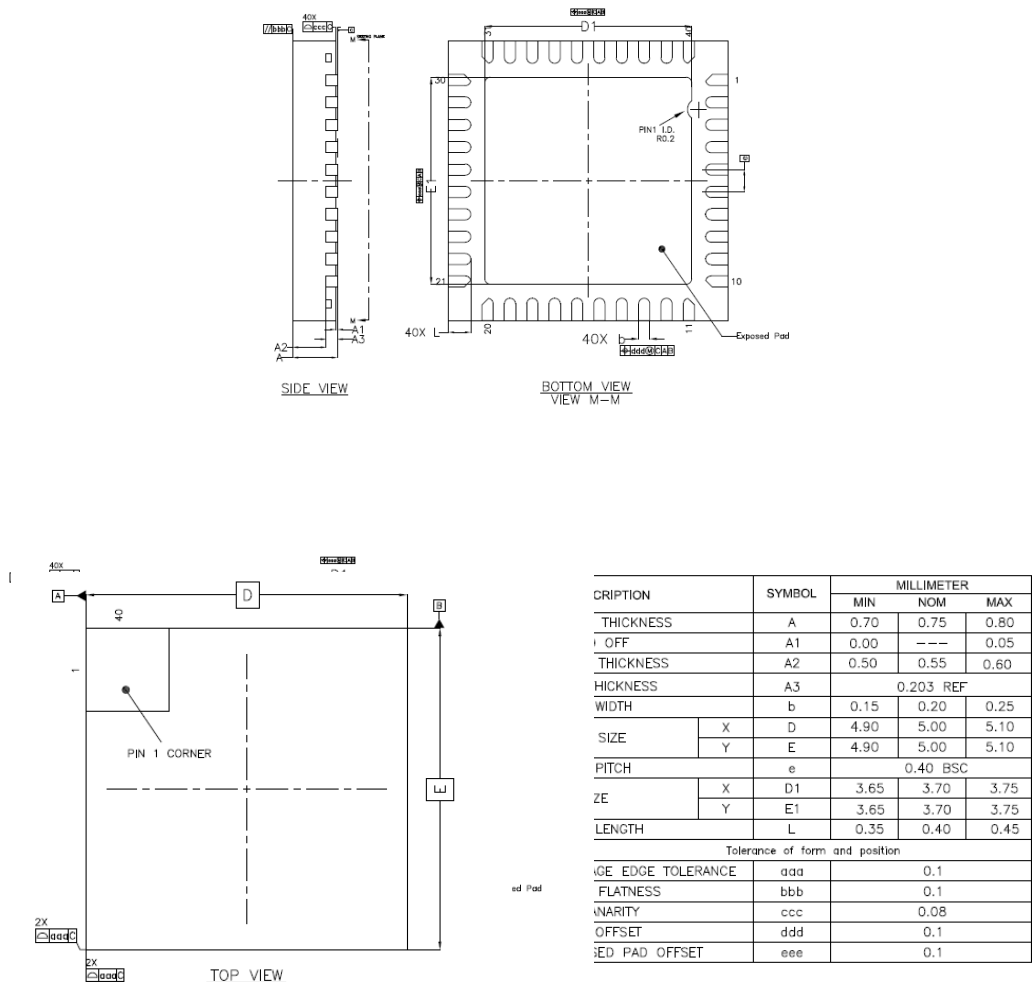


图 8-1 QFN40 机械参数

8.2 WLCSP27

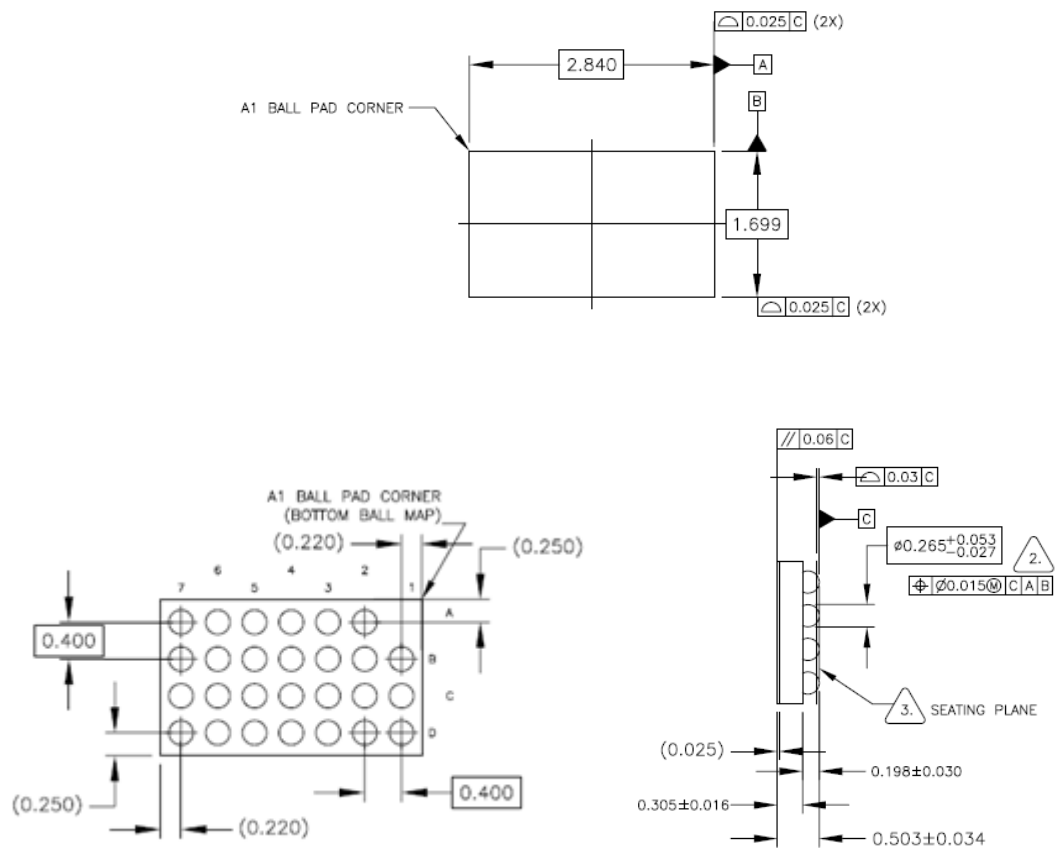
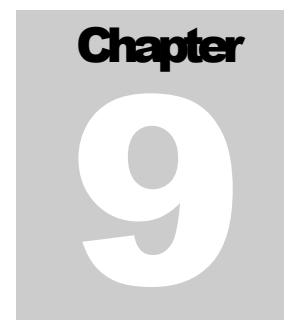


图 8-2 WLCSP 机械参数

WLCSP 机械参数说明如下:

1. Ball pitch 为 0.4mm;
2. Raw ball 直径为 0.25mm;



9 可靠性测试和认证

9.1 可靠性测试

UC6226 芯片按照相应的 JEDEC 标准验证合格，如 JESD47 集成电路的压力测试驱动条件，所有封装形态的 UC6226 均符合该标准。

UC6226 车规级芯片按照 AEC-Q100（等级 3）验证合格：《集成电路基于失效机制的压力测试条件》。具体订货型号请参见 11。

9.2 认证

产品标签上带有无铅符号的产品符合指令 2002/95/EC 欧洲议会和理事会关于在电气电子设备上使用某些有害物质的限制(RoHS)。UC6226 芯片符合 RoHS 及绿色（无卤）要求。

10 产品外观及包装运输

10.1 外观



图 10-1 QFN 产品外观

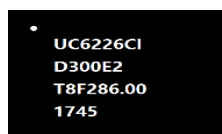


图 10-2 WLCSP 产品外观

UC6226 芯片外观示意如上图，标识信息将随客户订单编码有所不同，请以订单确认为准。

10.2 标识

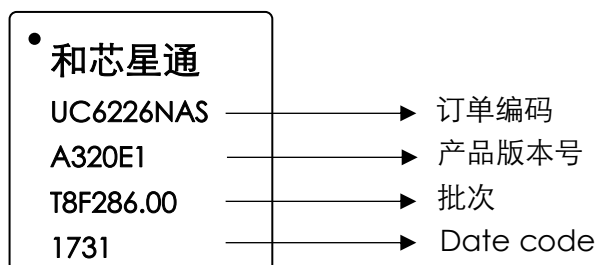


图 10-3 UC6226 产品标识说明

表 10-1 产品标签具体说明

代码	说明
UC6226	产品主型号
N	封装类别代码: N – QFN 封装, C-WLCSP 封装
A	级别: A – 车规级; I – 专业级
S	是否内置 Flash: S – Flash 内置; R – 仅支持片上 ROM 版固件, 未内置 Flash
A	硬件版本, 字母流水号
320	GNSS 固件版本编号
E1	Efuse 配置编号
1731	生产日期

10.3 包装

UC6226 采用编带包装, QFN40 封装每卷 3000 片。包装示意如下:

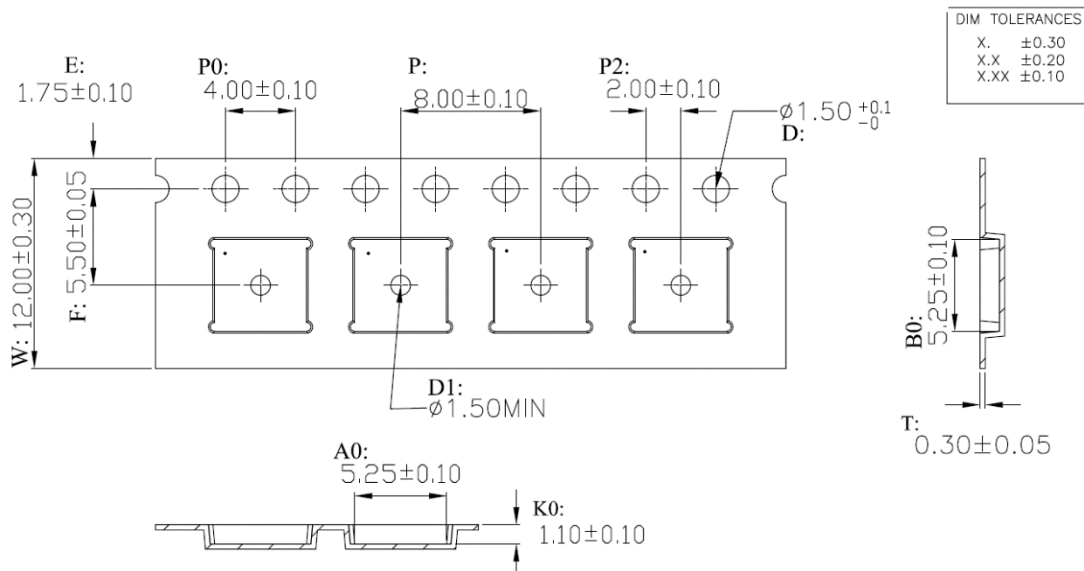


图 10-4 UC6226 编带包装

编带规格说明如下:

3. 10 孔间距累计公差为±0.20mm;
4. 所有维度尺寸符合 EIA-481-C 要求;
5. 厚度: 0.3±0.05mm。

WLCSP 封装每卷 5000 片。

11 订单信息

订单编码	说明
UC6226NIS	QFN40 封装, 专业级, 内置 Flash, 支持固件升级, 区分 VDDIO 输入电压
-E/B310E1	VDDIO 输入电压 3.3V
-E/B310E2	VDDIO 输入电压 1.8V
UC6226NIR	QFN40 封装, 专业级, 无内置 Flash, 运行 ROM 版固件或外置 Flash 加载固件
UC6226NAS	QFN40 封装, 符合 AEC-Q100, 内置 Flash, 支持固件升级
UC6226CI	WLCSP 封装, 专业级, 无内置 Flash, 运行 ROM 版固件或外置 Flash 加载固件

和芯星通科技（北京）有限公司
Unicore Communications, Inc.

北京市海淀区丰贤东路7号北斗星通大厦三层
F3, No.7, Fengxian East Road, Haidian, Beijing, P.R.China,
100094

www.unicorecomm.com

Phone: 86-10-69939800

Fax: 86-10-69939888

info@unicorecomm.com



www.unicorecomm.com